

SID11x2K SCALE-iDriver产品系列

最大8A的单通道IGBT/MOSFET门极驱动器
提供加强电气绝缘

产品特点

高度集成, 外形紧凑

- 独立的门极开通和关断管脚, 可提供8 A峰值驱动电流
- 集成的FluxLink™技术为原方与副方提供可靠绝缘
- 轨到轨输出电压且稳定
- 副方单电源供电
- 适合600 V/650 V/1200 V IGBT和MOSFET功率开关
- 开关频率最高250 kHz
- 传输延迟时间非常短, 仅为260 ns
- ± 5 ns传输延迟抖动
- -40 °C至125 °C工作环境温度
- 具有较高的共模瞬态抗扰性
- 采用9.5 mm电气间隙和爬电距离的eSOP封装

先进的保护/安全功能

- 原方和副方欠压保护(UVLO)与故障反馈
- 采用 V_{CESAT} 监控和故障反馈的短路保护
- 高级软关断(ASSD)

完全符合各项安规要求

- 产品100%进行局部放电测试
- 产品100%进行6 kV RMS 1秒的HIPOT合规性测试
- 加强绝缘符合VDE 0884-10标准

环保封装

- 无卤素且符合RoHS标准

应用

- 通用变频器和伺服驱动器
- UPS、太阳能发电、电焊机和电源

产品描述

SID11x2K是采用eSOP封装的单通道IGBT和MOSFET驱动器。该器件利用Power Integrations创新的固体绝缘FluxLink技术实现了加强电气绝缘。其峰值输出驱动电流可达8 A, 可直接驱动450 A(典型值)的开关器件, 而无需使用外置推动级。对于超出SID1182K的最大输出电流的门极驱动要求, 可以在外部添加一个放大器(推动级)。稳定的门极正负电压由一个单极隔离电压源提供。

该器件还具有带高级软关断(ASSD)的短路保护(DESAT)、原方和副方欠压保护(UVLO)功能以及带温度和过程补偿输出阻抗的轨到轨输出等更多功能, 可确保产品即使在严苛的条件下也能安全工作。

控制器(PWM和故障)信号兼容5 V CMOS逻辑电平, 使用外部电阻分压也可将逻辑电平调整到15 V。

产品型谱

产品 ¹	峰值输出驱动电流
SID1132K	2.5 A
SID1152K	5.0 A
SID1182K	8.0 A

表1. SCALE-iDriver型谱

注释:

1. 封装: eSOP-R16B。



图2. eSOP-R16B封装

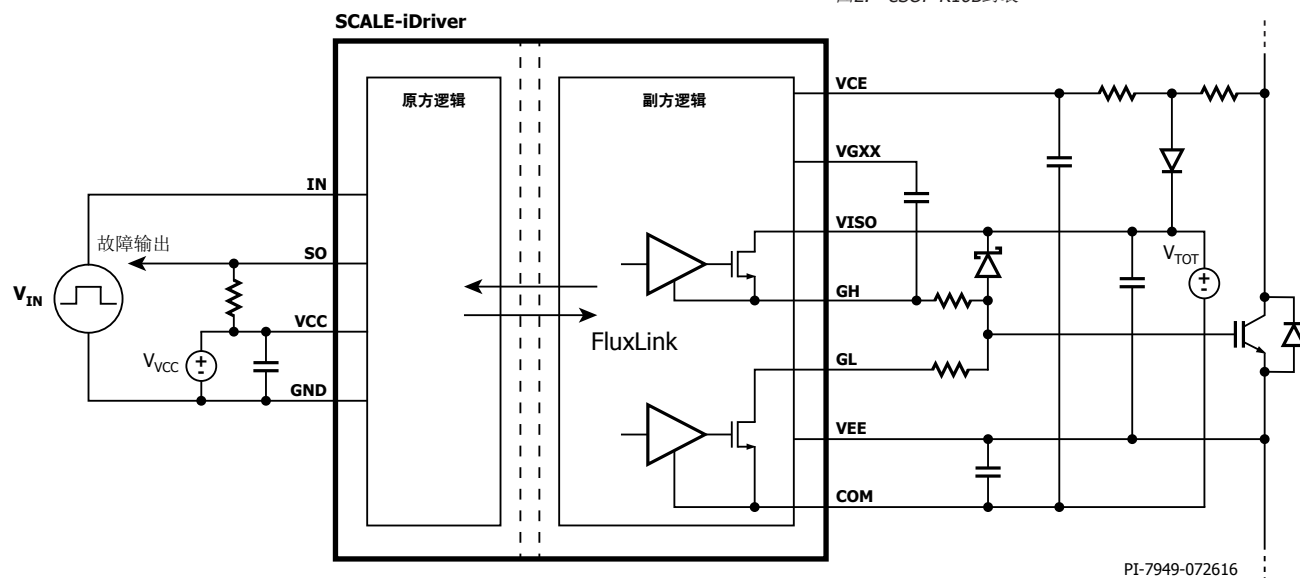
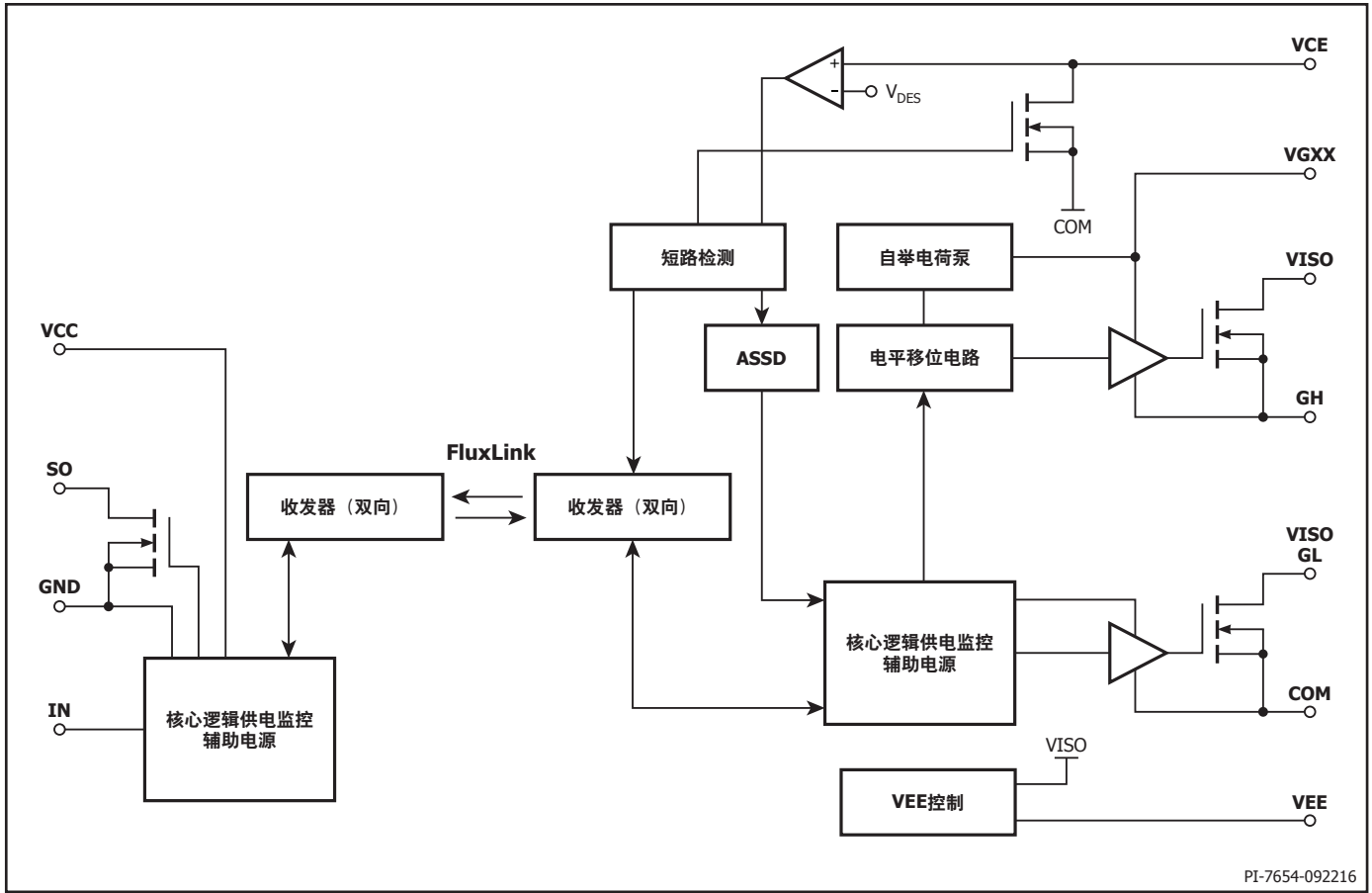


图1. 典型应用基本原理图

PI-7949-072616



PI-7654-092216

图3. 功能原理框图

管脚功能描述

VCC管脚 (管脚1) :

该管脚是原方供电电压的连接点。

GND管脚 (管脚3-6) :

该管脚是原方接地电位的连接点。所有原方电压均以该管脚为参考点。

IN管脚 (管脚7) :

该管脚是逻辑指令信号的输入端。

SO管脚 (管脚8) :

该管脚是逻辑故障信号（漏极开路）的输出端。

NC管脚 (管脚9) :

该管脚为空脚。要求具有最小PCB焊盘尺寸以供焊接。

VEE管脚 (管脚10) :

输出供电电压公用端（连接至IGBT发射极/MOSFET源极）。

VCE管脚 (管脚11) :

该管脚是退饱和和监控电压的输入连接点。

VGXX管脚 (管脚12) :

该管脚是自举和电荷泵的供电电压源端。

GH管脚 (管脚13) :

该管脚是驱动器输出端拉电流（开通管脚）的连接点。

VISO管脚 (管脚14) :

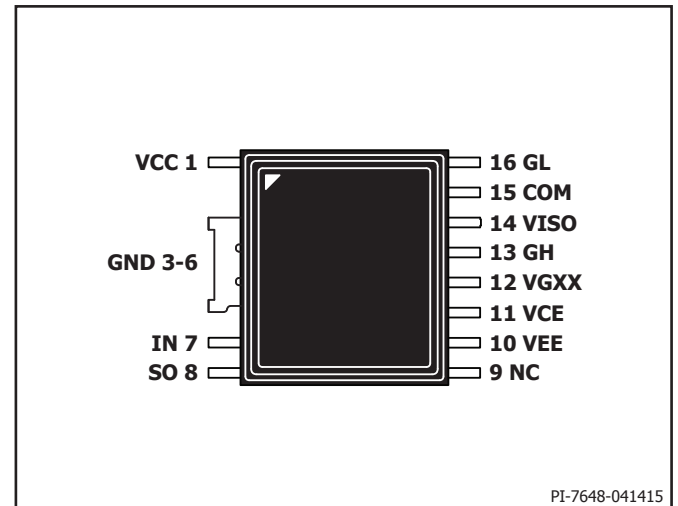
该管脚是副方供电正电压的输入端。

COM管脚 (管脚15) :

该管脚提供副方的参考电位。

GL管脚 (管脚16) :

该管脚是驱动器输出端灌电流（关断管脚）的连接点。



PI-7648-041415

图4. 管脚布局

SCALE-iDriver功能描述

单通道SCALE-iDriver™产品系列适用于驱动耐压在1200 V以内的IGBT和MOSFET或其他半导体功率开关，并在微控制器与功率半导体开关之间提供加强绝缘。通过IN管脚施加的逻辑输入(PWM)指令信号与通过VCC管脚提供的原方供电电压，均以GND管脚为参考点。功率半导体和SCALE-iDriver的工作状态通过SO管脚监控。

PMW指令信号通过FluxLink绝缘技术从原方(IN)传输至副方。GH管脚在开通过程中提供正门极电压并对半导体门极充电。GL管脚在关断过程中提供负电压并对门极放电。

短路保护通过采用VCE管脚监控的退饱和和检测技术来实现。SCALE-iDriver检测到短路后，通过高级软关断(ASDD)技术来控制半导体的关断过程。

电源

SID11x2K需要使用两个电源。其中一个为原方电源(V_{CC})，为原方逻辑电路以及与副方（绝缘）的通信供电。另一个供电电压用于副方，在VISO管脚与COM管脚之间施加电压 V_{TOT} 。 V_{TOT} 需要与原方绝缘，并且必须至少提供与SCALE-iDriver相同的绝缘能力。 V_{TOT} 与原方或任何其他副方的电容耦合必须非常低。正门极-发射极电压由 V_{VISO} 提供，该电压在内部生成并稳定至15 V（典型值），以VEE管脚为参考点。负门极-发射极电压由 V_{VEE} 提供，以COM管脚为参考点。由于VEE管脚提供的电流能力有限，任何额外负载需要连接在VISO与COM管脚之间。VISO与VEE管脚之间或者VEE与COM管脚之间不允许连接任何额外负载。

输入和故障逻辑（原方）

输入(IN)和输出(SO)可直接采用5 V CMOS逻辑。如果控制器与SCALE-iDriver的实际距离较大，或者如果要求采用不同的逻辑电平，则可以使用图5中的电阻分压或图13和14中的施密特触发器。这两种方案都可以根据需要调整逻辑电平，也能提高驱动器的抗干扰性。

门极驱动器指令从IN管脚传输至GH和GL管脚，传输延迟分别为 $t_{P(LH)}$ 和 $t_{P(HL)}$ 。

在正常工作期间，如果检测不到故障，SO管脚保持高阻抗（开路）。有故障时SO管脚连接至GND。只要 V_{CC} 电压（原方）保持低于 $UVLO_{VCC}$ ，SO管脚就保持低电平，传输延迟可以忽略不计。如果检测到退饱和（存在短路），或者供电电压 V_{VISO} 和 V_{VEE} （在副方）分别降到 $UVLO_{VISO}$ 和 $UVLO_{VEE}$ 以下，SO状态在经过延迟时间 t_{FAULT} 后变低，该状态会保持一段时间，定义为 t_{SO} 。一旦发生故障，驱动器就进入关断状态（GL管脚连接至COM）。在 t_{SO} 期间，来自IN管脚的指令信号将不会被执行。需要重新给驱动器一个开通指令的上升沿，驱动器才会再次开通。

SO管脚电流表示为 I_{SO} ；低电平状态下的电压表示为 $V_{SO(FAULT)}$ 。

输出（副方）

功率半导体开关的门极可通过GH和GL管脚连接至SCALE-iDriver输出端，这需要使用两个不同的电阻值。开通门极电阻 R_{GON} 需要连接至GH管脚，关断门极电阻 R_{GOFF} 需要连接至GL管脚。如果两个门极电阻的值相同，则GL和GH管脚可以连接在一起。注：SCALE-iDriver数据手册将 R_{GH} 和 R_{GL} 值定义为分别连接至GH和GL管脚各自的总阻抗。请注意，大部分功率半导体数据手册都规定了已集成到功率半导体开关的内部门极电阻 R_{GINT} 。除 R_{GINT} 外，外部电阻 R_{GON} 和 R_{GOFF} 的值要按照满足应用所需的门极电流的要求来设置。因此， R_{GH} 是 R_{GON} 与 R_{GINT} 之和，如图9和图10所示。请关注外部门极电阻的功耗和所需的峰值电流。

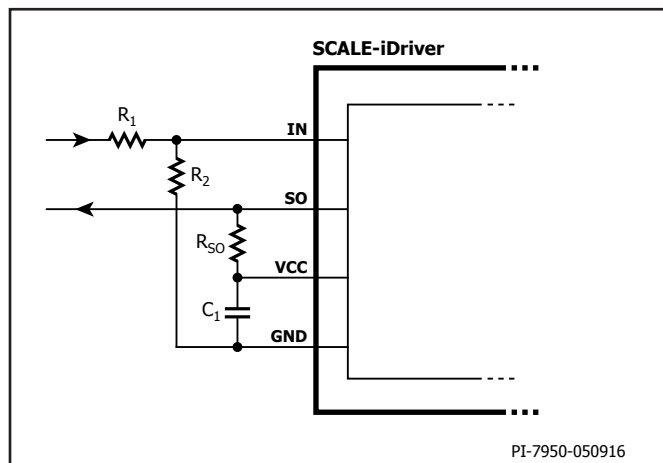


图5. 增大的阈值电压 V_{IN+LT} 和 V_{IN+HT} 。 $R_1 = 3.3 \text{ k}\Omega$ 且 $R_2 = 1 \text{ k}\Omega$ 时，IN逻辑电平为15 V。

SID1182K的GH管脚输出电流源(I_{GH}) 在开通期间能够提供7.3 A的峰值电流，GL管脚输出电流源(I_{GL}) 在关断期间能够提供8.0 A的峰值电流。SCALE-iDriver的内部电阻分别以 R_{GH} 和 R_{GL} 表示。如果所选的门极电阻值很小，尝试让SCALE-iDriver产品系列提供更大的峰值电流，则峰值电流将在内部被限定在一个安全值，具体参见图6和图7。图8所示为在相同门极电阻值、负载电容和布局设计的条件下，给定的供电电压可获得的峰值电流。

短路保护功能

SCALE-iDriver利用半导体退饱和和效应检测短路，并采用高级软关断(ASDD)技术为器件提供安全保护。退饱和和可使用两种不同的电路进行检测，即二极管检测电路 D_{VCE} （图10）或电阻串 R_{VCEX} （图9）。凭借稳定的 V_{VISO} 以及连接在半导体门极和VISO管脚的肖特基二极管(D_{STO})，短路电流可被限定到一个安全值。

在关断期间，VCE管脚在内部连接至COM管脚， C_{RES} 被放电（图11中的红色曲线表示VCE管脚的电位）。在功率半导体开关接收到导通指令时，

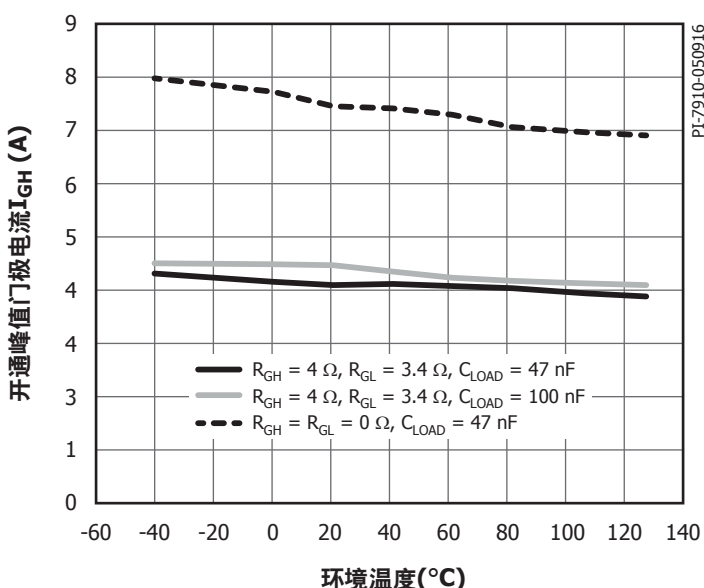


图6. 开通峰值输出电流（拉电流）与环境温度的关系。
条件： $V_{CC} = 5 \text{ V}$ ， $V_{TOT} = 25 \text{ V}$ ， $f_s = 20 \text{ kHz}$ ，占空比 = 50%。

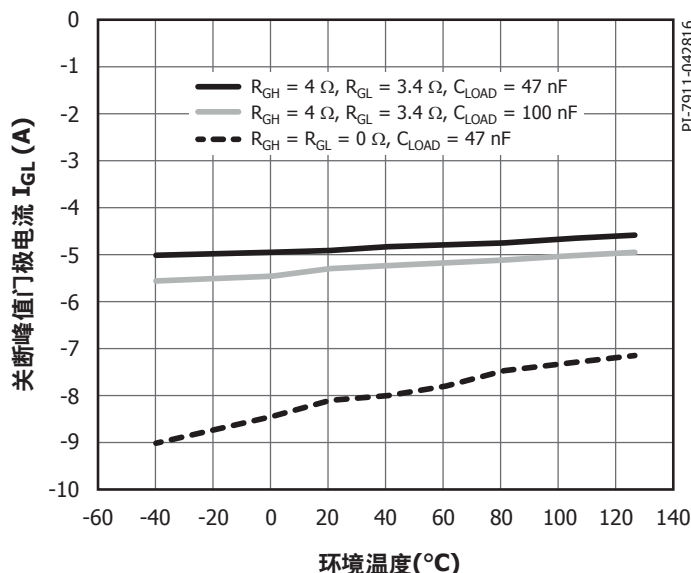


图7. 关断峰值输出电流（灌电流）与环境温度的关系。
条件: $V_{CC} = 5 \text{ V}$, $V_{TOT} = 25 \text{ V}$, $f_s = 20 \text{ kHz}$, 占空比 = 50%。

集电极-发射极电压 (V_{CE}) 从与直流母线电压相同水平的关断状态下降到通常非常低的通态电压 (参见图11中的蓝色曲线)，并且 C_{RES} 开始充电至 V_{CE} 饱和电压 ($V_{CE SAT}$)。 C_{RES} 的充电时间取决于 R_{VCEX} (图9) 的电阻值、直流母线电压以及 C_{RES} 和 R_{VCE} 的值。开通期间的 V_{CE} 电压会持续被观测并与参考电压 V_{DES} 进行比较。 V_{DES} 电平会针对 IGBT 应用进行优化。当 $V_{CE} > V_{DES}$ (图11中的红圈) 时，驱动器立即以受控制的集电极电流斜率关断功率半导体开关，将 V_{CE} 过冲电压限制在最大集电极-发射极电压 (V_{CES}) 以下。导通指令在此期间以及 t_{SO} 期间会被忽略，SO 管脚连接至 GND。

响应时间 t_{RES} 为 C_{RES} 充电时间，并描述了从 V_{CE} 退饱和后到 V_{CE} 管脚电压上升至参考电位之间的延迟 (见图11)。响应时间应足够长，以避免在半导体开通时误保护，并且可通过 R_{RES} 和 C_{RES} (图10) 值或 R_{VCE} 和 C_{RES} (图9) 值进行调整。该时间不应长于半导体厂商规定的值。

安全上电和断电

在驱动器上电和断电时，可能会出现一些意外的输入/输出状态。为了避免这种情况，建议使 IN 管脚在上电和断电时保持低电平。任何与 VCC、VISO、VEE 和 VGXX 管脚相关的供电电压都应分别利用陶瓷电容 C_1 、 C_{S1X} 、 C_{S2X} 、 C_{GXX} 保持稳定，如图13和图14所示。供电电压达到各自的额定值后，驱动器将在时间延迟 t_{START} 后开始正常工作。

窄脉冲工作

如果施加到 IN 管脚的指令信号短于规定的最小值 $t_{GE(MIN)}$ ，则 SCALE-iDriver 输出信号 (GH 和 GL 管脚) 将延长至 $t_{GE(MIN)}$ 值。长于 $t_{GE(MIN)}$ 的脉冲持续时间将不会发生变化。

高级软关断 (ASSD)

该功能在检测到短路后激活。它保护功率半导体免遭损坏的实现方式是，通过关断功率半导体并限制电流斜率，从而使瞬时 V_{CE} 过压始终低于 V_{CES} 。该功能特别适用于 IGBT 应用。图12所示为 ASSD 功能的工作方式。 V_{CE} 退饱和和在时间期间 P1 (黄线) 内可见。在此期间，门极-发射极电压 (绿线) 始终非常稳定。集电极电流 (粉色线) 也非常稳定，并被限定到一个安全值。时间期间 P1 快结束时， V_{GE} 在 t_{FSSD1} 内降低。由于集电极电流减小，可以看到很小的 V_{CE} 过冲电压。在 t_{FSSD1} 内， V_{GE} 进一步降低，功率

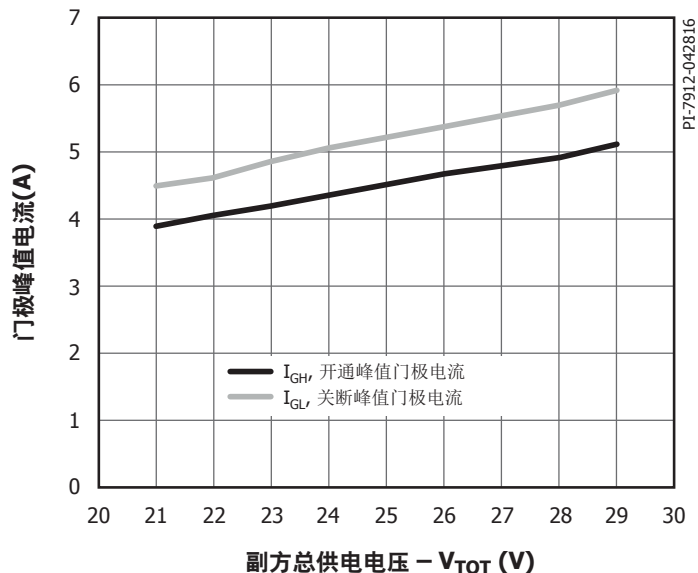


图8. 开通和关断峰值输出电流与副方总供电电压 (V_{TOT}) 的关系。
条件: $V_{CC} = 5 \text{ V}$, $T_J = 25 \text{ }^\circ\text{C}$, $R_{GH} = 4 \Omega$, $R_{GL} = 3.4 \Omega$, $C_{LOAD} = 100 \text{ nF}$, $f_s = 1 \text{ kHz}$, 占空比 = 50%。

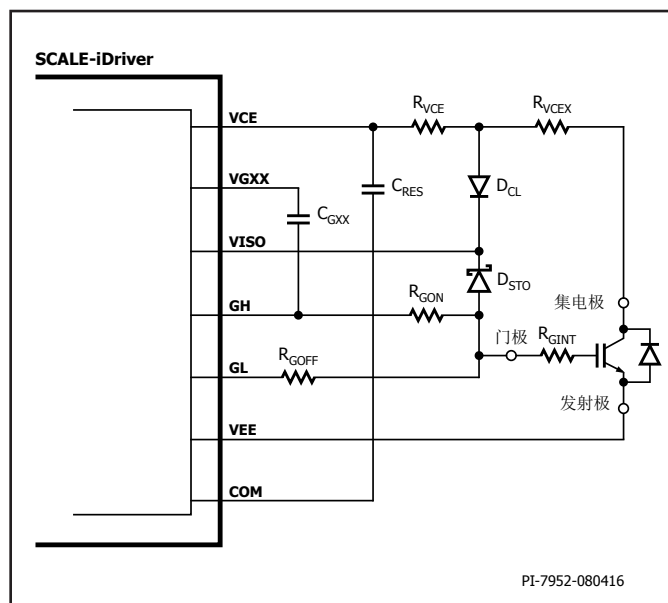


图9. 采用电阻串 R_{VCEX} 的短路保护

半导体开关的门极进一步放电。在 t_{FSSD2} 内，可能会继续发生很小的 V_{CE} 过冲电压事件。当 V_{GE} 降到 IGBT 的门极阈值以下时，集电极电流就已经减小至几乎为零，剩余的门极电荷被消除，从而结束短路。整个短路电流检测和安全关断时间在 $10 \mu\text{s}$ 以内 (在本例中为 $8 \mu\text{s}$)。

应用范例和元件选择

图13和图14所示为 SCALE-iDriver 设计所采用的电路原理图和典型元件。在两个设计方案中，原方供电电压 (V_{CC}) 连接在 VCC 与 GND 管脚之间，并通过供电旁路陶瓷电容 C_1 (典型值为 $4.7 \mu\text{F}$) 获得支撑。如果指令信号

Rev. E 12/16

响应时间通过 R_{VCE} 和 C_{RES} 进行设置（对于1200 V半导体，其典型值分别为120 k Ω 和33 pF）。如果短路检测过于敏感，可增加 C_{RES} 值。最大短路持续时间必须限定在半导体数据手册中规定的最大值内。

VISO的 R_{RES} 可保证电流在半导体处于开通状态时流经二极管。半导体开关退饱和时， C_{RES} 开始通过 R_{RES} 充电。在此配置中，响应时间受到 R_{RES} 和 C_{RES} 的控制。在本应用范例中， $C_{RES} = 33\text{ pF}$ 且 $R_{RES} = 62\text{ k}\Omega$ ；如果退饱和过于敏感或者短路持续时间过长， C_{RES} 和 R_{RES} 都可进行调整。

图15所示为推荐的PCB布局，与图13中的电路原理图相对应。PCB采用两层设计。必须确保PCB走线不会覆盖到退饱和电阻或二极管 D_{VCE1} 和 D_{VCE2} 下方的区域。这是一项非常重要的设计要求，可避免与SCALE-iDriver的VCE管脚产生耦合电容以及PCB内出现隔离问题。

门极电阻位于功率半导体开关附近。由于这些元件的温度会非常高，建议将其远离SCALE-iDriver放置。



功耗和IC结温估算

在设计功率半导体开关门极驱动器时，首先需要计算的是所需的门极功率 P_{DRV} 。该功率基于公式1计算得出：

$$P_{DRV} = Q_{GATE} \times f_s \times V_{TOT} \quad (1)$$

Q_{GATE} – 受控制的功率半导体开关门极电荷（由 V_{TOT} 定义的特定门极电位范围推导出）。参见半导体厂商的数据手册。

f_s – 开关频率，与施加到SCALE-iDriver的IN管脚的频率相同。

V_{TOT} – SCALE-iDriver副方供电电压。

除 P_{DRV} 外，还必须考虑 P_p （原方IC功耗）和 P_{SNL} （副方IC功耗，无电容性负载）。两者都依赖于环境温度和开关频率（参见典型性能参数）。

$$P_p = V_{VCC} \times I_{VCC} \quad (2)$$

$$P_{SNL} = V_{TOT} \times I_{VISO} \quad (3)$$

在IC工作期间， P_{DRV} 功率由开通(R_{GH})、关断(R_{GL})外部门极电阻与驱动器内阻 R_{GHI} 和 R_{GLI} 分担。为了估算结温，IC内部的带载功耗(P_{OL})可根据公式4计算得出：

$$P_{OL} = 0.5 \times Q_{GATE} \times f_s \times V_{TOT} \times \left(\frac{R_{GHI}}{R_{GHI} + R_{GH}} + \frac{R_{GHL}}{R_{GHL} + R_{GL}} \right) \quad (4)$$

R_{GH} 和 R_{GL} 表示外部电阻（ R_{GON} ， R_{GOFF} ）与功率半导体内部门极电阻(R_{GINT})之和：

$$R_{GH} = R_{GON} + R_{GINT}$$

$$R_{GL} = R_{GOFF} + R_{GINT}$$

IC总功耗(P_{DIS})由公式2、3与4的总和估算出：

$$P_{DIS} = P_p + P_{SNL} + P_{OL} \quad (5)$$

给定环境温度(T_j)下的工作结温(T_{JOP})可根据公式6进行估算：

$$T_{JOP} = \theta_{JA} \times P_{DIS} + T_A \quad (6)$$

示例

举例如下：

$f_s = 20 \text{ kHz}$, $T_j = 85 \text{ }^\circ\text{C}$, $V_{TOT} = 25 \text{ V}$, $V_{VCC} = 5 \text{ V}$ 。

$Q_{GATE} = 2.5 \text{ } \mu\text{C}$ （此处的门极电荷值应与选定的 V_{TOT} 相对应），

$R_{GINT} = 2.5 \text{ } \Omega$, $R_{GON} = R_{GOFF} = 1.8 \text{ } \Omega$ 。

根据公式1, $P_{DRV} = 2.5 \text{ } \mu\text{C} \times 20 \text{ kHz} \times 25 \text{ V} = 1.25 \text{ W}$ 。

根据公式2（见图18）， $P_p = 5 \text{ V} \times 13.5 \text{ mA} = 67 \text{ mW}$ 。

根据公式3（见图20）， $P_{SNL} = 25 \text{ V} \times 7.5 \text{ mA} = 185 \text{ mW}$ 。

带载功耗根据公式4计算得出：

$$P_{OL} = 0.5 \times 2.5 \text{ } \mu\text{C} \times 20 \text{ kHz} \times 25 \text{ V} \times \left(\frac{1.45 \text{ } \Omega}{1.45 \text{ } \Omega + 4.3 \text{ } \Omega} + \frac{1.2 \text{ } \Omega}{1.2 \text{ } \Omega + 4.3 \text{ } \Omega} \right) \cong 0.3 \text{ W},$$

$R_{GHI} = 1.45 \text{ } \Omega$ ，这是数据手册中的最大值。

$R_{GHL} = 1.2 \text{ } \Omega$ ，这是数据手册中的最大值。

$R_{GH} = R_{GL} = 1.8 \text{ } \Omega + 2.5 \text{ } \Omega = 4.3 \text{ } \Omega$ 。

根据公式5, $P_{DIS} = 67 \text{ mW} + 185 \text{ mW} + 300 \text{ mW} = 552 \text{ mW}$ 。

根据公式6, $T_{JOP} = 67 \text{ }^\circ\text{C/W} \times 552 \text{ mW} + 85 \text{ }^\circ\text{C} = 122 \text{ }^\circ\text{C}$ 。

此设计的估计结温约为122 $^\circ\text{C}$ ，低于推荐的最大值。由于门极电荷未按照所选的 V_{TOT} 计算，且IC内阻为最大值，可以说该示例表征的是最恶劣条件下的结果。

表2提供了推荐的电容和电阻的参数以及实现最佳SCALE-iDriver性能所需的布局要求。

管脚	参考管脚	推荐值	符号	备注
VCC	GND	4.7 μ F	C_1	VCC支撑电容需要靠近IC放置。环路扩大会导致工作期间VCC供电电压不足。
VISO	VEE	4.7 μ F	C_{S21}/C_{S22}	推荐使用25V X7R型电容。推荐型号Murata 25 V part #GRM31CR71E475KA88。该电容需要靠近IC管脚。
VEE	COM	4.7 μ F	C_{S11}/C_{S12}	推荐使用25 V X7R型电容。推荐型号Murata 25 V part #GRM31CR71E-475KA88。该电容需要靠近IC管脚。
VGXX	GH	10 nF	C_{GXX}	为避免误操作，该管脚不应连接至任何其他地方。该电容需要尽量靠近IC管脚。推荐使用25 V X7R型电容。推荐型号Yageo 25 V part#CC0603KRX7R9BB103。
VCE	COM	33 pF	C_{RES}	选择 C_{RES} 实现所需的短路响应时间。推荐使用50 V COG/NPO。最初推荐使用33 pF的值。推荐型号KEMET 50 V part C0603C330J5GACTU。其他电路布局都应与元件 C_{RES} 保持足够的距离，以避免产生寄生效应（电容）。
VCE			R_{VCE} 、 D_{VCE} 、 C_{RES} 、 R_{RES} 、 D_{CL}	选择 R_{VCE} 或 R_{RES} 以确保短路保护的正常工作。其他电路布局都应与元件 R_{VCE} 、 D_{VCE} 、 R_{RES} 和 D_{CL} 保持足够的距离，以避免产生寄生效应。

表2. PCB布局与元件指南

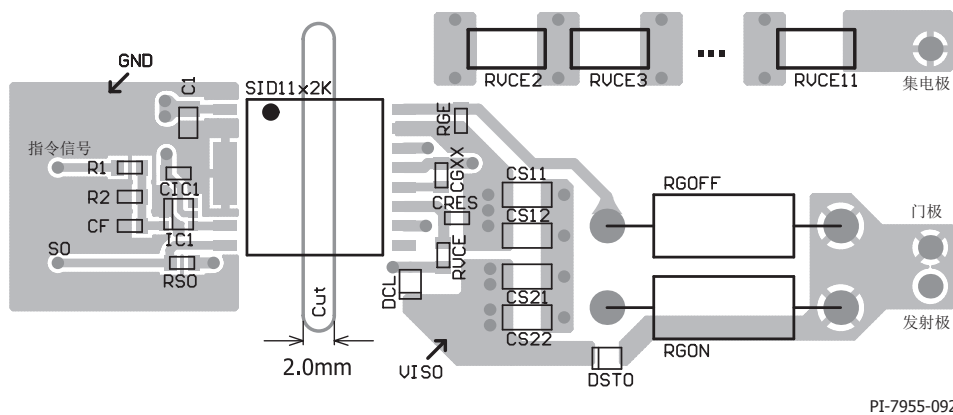


图15a. 推荐的PCB布局的俯视图与图13所示的电路原理图相对应。

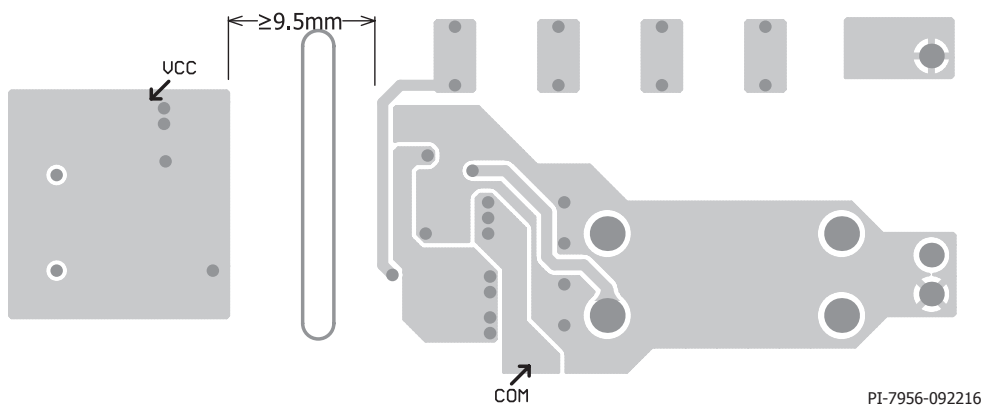


图15b. 推荐的PCB布局的底视图。与图13所示的电路原理图相对应。

参数	符号	条件	最小值	最大值	单位
绝对最大额定值¹					
原方供电电压 ²	V_{VCC}	VCC至GND	-0.5	6.5	V
副方总供电电压	V_{TOT}	VISO至COM	-0.5	30	V
副方正供电电压	V_{VISO}	VISO至VEE	-0.5	17.5	V
副方负供电电压	V_{VEE}	VEE至COM	-0.5	15	V
逻辑输入电压（指令信号）	V_{IN}	IN至GND	-0.5	$V_{VCC} + 0.5$	V
逻辑输出电压（故障信号）	V_{SO}	SO至GND	-0.5	$V_{VCC} + 0.5$	V
逻辑输出电流（故障信号）	I_{SO}	流入管脚的正电流		10	mA
VCE管脚电压	V_{VCE}	VCE - COM	-0.5	$V_{TOT} + 0.5$	V
开关频率	f_s			250	kHz
存储温度	T_s		-65	150	°C
工作结温	T_J		-40	150 ³	°C
工作环境温度	T_A		-40	125	°C
工作壳体温度	T_C		-40	125	°C
输入功耗 ⁴	P_P	$V_{VCC} = 5\text{ V}, V_{TOT} = 28\text{ V},$ $T_J = 25\text{ °C}$ $f_s = 250\text{ kHz}$		188	mW
输出功耗 ⁴	P_S			1602	
IC总功耗 ⁴	P_{DJS}			1790	

注释:

1. 应力超过“绝对最大额定值”所列的数值可能会对器件造成永久损坏。
2. 是指直接在VCC管脚测得的峰值电压。
3. 在高于推荐值的结温下，指令信号的传输可能受到PCB布局寄生电感的影响。
4. 输入功耗参见公式2。输出功耗是不含电容性负载功耗（ P_{SNL} ，公式3）和带载功耗（ P_{OL} ，公式4）的副方IC功耗。IC总功耗是 P_P 与 P_S 之和。

热阻

热阻：eSOP-R16B封装：

原方(θ_{JA}).....	51 °C/W ¹
副方(θ_{JA}).....	67 °C/W ¹
原方(θ_{JC}).....	22 °C/W ²
副方(θ_{JC}).....	34 °C/W ²

注释:

1. 2盎司(610 g/m²)铜箔区域。按照图15中布局进行测量。
2. 壳体温度在封装顶部的塑封表面测量。

参数	条件	额定值	单位
UL1577额定值			
原方电流额定值	管脚1 (VCC)的电流 $T_A = 125\text{ °C}$	34	mA
原方功率额定值	$T_A = 25\text{ °C}$	180	mW
副方电流额定值	管脚14 (VISO)的电流 $T_A = 125\text{ °C}$	27	mA
	管脚13 (GH)/16 (GL)的峰值电流, $T_A = 125\text{ °C}$ 频率 = 250 kHz (SID1182K)	6.1	A
	管脚13 (GH)/16 (GL)的峰值电流, $T_A = 125\text{ °C}$ 频率 = 250 kHz (SID1152K)	4	
	管脚13 (GH)/16 (GL)的峰值电流, $T_A = 125\text{ °C}$ 频率 = 250 kHz (SID1132K)	2	
副方功率额定值	$T_A = 25\text{ °C}$	800	mW

参数	符号	条件 $T_j = -40\text{ }^{\circ}\text{C}$ 至 $+125\text{ }^{\circ}\text{C}$ 见注释1 (除非另有说明)	最小值	典型值	最大值	单位
推荐的工作条件						
原方供电电压	V_{VCC}	VCC - GND	4.75		5.25	V
副方总供电电压	V_{TOT}	VISO - COM	22		28	V
逻辑低输入电压	V_{IL}				0.5	V
逻辑高输入电压	V_{IH}		3.3			V
开关频率	f_s		0		75	kHz
IC工作结温	T_{JOP}		-40		125	$^{\circ}\text{C}$
电气特性						
逻辑低输入阈值电压	V_{IN+LT}	$f_s = 0\text{ Hz}$	0.6	1.25	1.8	V
逻辑高输入阈值电压	V_{IN+HT}	$f_s = 0\text{ Hz}$	1.7	2.2	3.05	V
逻辑输入电压回差	V_{IN+HS}	$f_s = 0\text{ Hz}$	0.1			V
输入偏置电流	I_{IN}	$V_{IN} = 5\text{ V}$	56	113	165	μA
		$V_{IN} > 3\text{ V}$ 见注释12		106		
供电电流 (原方)	I_{VCC}	$V_{IN} = 0\text{ V}$		11	17	mA
		$V_{IN} = 5\text{ V}$		16	23	
		$f_s = 20\text{ kHz}$		14.5	20	
		$f_s = 75\text{ kHz}$		16.3	23	
供电电流 (副方)	I_{VISO}	$V_{IN} = 0\text{ V}$		6	8	mA
		$V_{IN} = 5\text{ V}$		7	9	
		$f_s = 20\text{ kHz}$		7.4	10	
		$f_s = 75\text{ kHz}$		10.3	14	
电源监控阈值 (原方)	$UVLO_{VCC}$	清除故障		4.28	4.65	V
		设置故障	3.85	4.12		
		回差, 见注释3和4	0.02			
电源监控阈值 (副方, 正电压 V_{VISO})	$UVLO_{VISO}$	清除故障		12.85	13.5	V
		设置故障, 注释3	11.7	12.35		
		回差	0.3			
电源监控消隐时间, V_{VISO}	$UVLO_{VISO(BL)}$	电压从13.5 V降至11.5 V 见注释12	0.5			μs
电源监控阈值 (副方, 负电压 V_{VEE})	$UVLO_{VEE}$	清除故障, $V_{TOT} = 20\text{ V}$		5.15	5.5	V
		设置故障, $V_{TOT} = 20\text{ V}$	4.67	4.93		
		回差	0.1			

参数	符号	条件 $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+125\text{ }^{\circ}\text{C}$ 见注释1（除非另有说明）	最小值	典型值	最大值	单位
电气特性（续）						
电源监控消隐时间, V_{VEE}	$UVLO_{VEE(BL)}$	电压从5.5 V降至4.5 V 见注释12	0.5			μs
副方供电正稳压电压	$V_{VISO(HS)}$	$21\text{ V} \leq V_{TOT} \leq 30\text{ V}$, $ i(V_{VEE}) \leq 1.5\text{ mA}$	14.4	15.07	15.75	V
VEE管脚拉电流能力	$I_{VEE(SO)}$	$V_{TOT} = 15\text{ V}$, V_{VEE} 设置为0 V	0.1			mA
		$V_{TOT} = 25\text{ V}$, V_{VEE} 设置为7.5 V 见注释13	1.85	3.3	4.5	
VEE管脚灌电流能力	$I_{VEE(SI)}$	$V_{TOT} = 25\text{ V}$, V_{VEE} 设置为12.5 V 见注释13	1.74	3.1	4.5	mA
DESAT检测电平	V_{DES}	V_{CE-VEE} , $V_{IN} = 5\text{ V}$	7.2	7.8	8.3	V
DESAT灌电流	I_{DES}	$V_{VCE} = 10\text{ V}$, $V_{IN} = 0\text{ V}$	15	28	50	mA
DESAT偏置电流	$I_{DES(BS)}$	$V_{VCE} - V_{VEE} = 4.5\text{ V}$, $V_{IN} = 5\text{ V}$	-0.5		3	μA
VCE管脚电容	C_{VCE}	VCE与COM管脚之间, 见注释12		12.5		pF
开通传输延迟时间	$t_{P(LH)}$	$T_J = 25\text{ }^{\circ}\text{C}$, 见注释5	180	253	340	ns
		$T_J = 125\text{ }^{\circ}\text{C}$, 见注释5	210	278	364	
关断传输延迟时间	$t_{P(HL)}$	$T_J = 25\text{ }^{\circ}\text{C}$, 见注释6	200	262	330	ns
		$T_J = 125\text{ }^{\circ}\text{C}$, 见注释6	211	287	359	
输出门极脉冲最短时间	$t_{GE(MIN)}$	见注释12			650	ns
输出上升时间	t_R	无 C_G , 见注释7		22	45	ns
		$C_G = 10\text{ nF}$, 见注释7	SID1132K 见注释12		450	
			SID1152K 见注释12		225	
			SID1182K	55	90	
		$C_G = 47\text{ nF}$, 见注释7	SID1132K 见注释12		1950	
			SID1152K 见注释12		975	
			SID1182K	300	465	
输出下降时间	t_F	无 C_G , 见注释8		18	45	ns
		$C_G = 10\text{ nF}$ 见注释8	SID1132K 见注释12		450	
			SID1152K 见注释12		225	
			SID1182K	40	81	
		$C_G = 47\text{ nF}$ 见注释8	SID1132K 见注释12		1950	
			SID1152K 见注释12		975	
			SID1182K	300	460	

参数	符号	条件 T _J = -40 ℃至+125 ℃ 见注释1（除非另有说明）		最小值	典型值	最大值	单位
电气特性（续）							
ASSD变化率	t _{FSSD1}	VGE从14.5 V降至14 V，见注释12			60		ns
	t _{FSSD2}	VGE从14.5 V降至2.5 V，见注释12		950	1828	2800	
传输延迟抖动量		见注释12			±5		ns
故障信号延迟时间	t _{FAULT}	见注释10			190	750	ns
SO故障信号作用时间	t _{SO}			6.8	10	13.4	μs
通电启动时间	t _{START}	见注释11				10	ms
门极峰值拉电流，GH管脚	I _{GH}	V _{GH} ≥ V _{TOT} - 8.8 V C _G = 470 nF 见注释13	SID1132K 见注释12	1.2			A
			SID1152K 见注释12	2.4			
			SID1182K	3.6	4.6	5.5	
		R _G = 0, C _G = 47 nF, 见注释2、12和13	SID1132K		2.4		
			SID1152K		4.8		
			SID1182K		7.3		
门极峰值灌电流，GL管脚	I _{GL}	V _{GL} ≤ 7.5 V C _G = 470 nF V _{GL} 参考至COM	SID1132K 见注释12	1.3			A
			SID1152K 见注释12	2.6			
			SID1182K	4	4.8	5.5	
		R _G = 0, C _G = 47 nF 见注释2和12	SID1132K		2.6		
			SID1152K		5.2		
			SID1182K		7.8		
门极内部开通电阻	R _{GHI}	I(GH) = -250 mA V _{IN} = 5 V	SID1132K 见注释12			4.8	Ω
			SID1152K 见注释12			2.4	
			SID1182K		0.76	1.2	
门极内部关断电阻	R _{GLI}	I(GL) = 250 mA V _{IN} = 0 V	SID1132K 见注释12			4	Ω
			SID1152K 见注释12			2	
			SID1182K		0.68	1.1	
门极开通输出电压	V _{GH(ON)}	I(GH) = 6.6 mA V _{IN} = 5 V，见注释13	SID1132K 见注释12	V _{TOT} -0.04			V
		I(GH) = 10 mA V _{IN} = 5 V，见注释13	SID1152K 见注释12				
		I(GH) = 20 mA V _{IN} = 5 V，见注释13	SID1182K				

参数	符号	条件 T _j = -40 °C至+125 °C 见注释1（除非另有说明）		最小值	典型值	最大值	单位
电气特性（续）							
门极关断输出电压 （参考COM管脚）	V _{GL(OFF)}	I(GL) = -6.6 mA V _{IN} = 0 V	SID1132K 见注释12			0.04	V
		I(GL) = -10 mA V _{IN} = 0 V	SID1152K 见注释12				
		I(GL) = -20 mA V _{IN} = 0 V	SID1182K				
SO管脚输出电压	V _{SO(FAULT)}	故障条件, I _{SO} = 3.4 mA, V _{VCC} ≥ 3.9 V			210	450	mV
封装特性（见注释12和14）							
内部绝缘距离	DTI	最小内部间隙（内部间隙）		0.4			mm
电气间隙	L1 (IO1)	原副方端子之间最短距离（电气间隙）		9.5			mm
爬电距离	L2 (IO2)	原副方端子之间沿芯片表面最短距离 （封装表面）		9.5			mm
相比漏电起痕指数	CTI	DIN EN 60112 (VDE 0303-11): 2010-05 EN / IEC 60112:2003 + A1:2009		600			
隔离阻抗, 输入到输出, 见注释16	R _{IO}	V _{IO} = 500 V, T _j = 25 °C		10 ¹²			Ω
		V _{IO} = 500 V, 100 °C ≤ T _j ≤ T _{C(MAX)}		10 ¹¹			
隔离电容, 输入到输出 见注释16	C _{IO}				1		pF
封装绝缘特性							
最大工作隔离电压	V _{IOWM}					1000	V _{RMS}
最大可重复峰值隔离电压	V _{IORM}					1414	V _{PEAK}
原副方局放测试电压	V _{PD}	方法A, 在环境测试子组1之后, V _{PR} = 1.6 × V _{IORM} , t = 10 s（合格）, 局部放电< 5 pC				2263	V _{PEAK}
		方法A, 在输入/输出安全测试子组2/3之后, V _{PR} = 1.2 x V _{IORM} , t = 10 s（合格）, 局部放电< 5 pC				1697	
		方法B1, 100%生产测试之后, V _{PR} = 1.875 × V _{IORM} , t = 1 s 局部放电< 5 pC				2652	
最大瞬态隔离电压	V _{IOTM}	V _{TEST} = V _{IOTM} , t = 60 s（认证）, t = 1 s（100%生产测试）				8000	V _{PEAK}
最大浪涌隔离电压	V _{IOSM}	根据IEC 60065的测试方法, 1.2/50 μs波形, V _{TEST} = 1.6 x V _{IOSM} = 12800 V（认证）				8000	V _{PEAK}
绝缘电阻	R _S	V _{IO} = 500 V, T _S				>10 ⁹	Ω
最高壳体温度	T _S					150	°C

参数	符号	条件 $T_j = -40\text{ °C至}+125\text{ °C}$ 见注释1 (除非另有说明)	最小值	典型值	最大值	单位
封装绝缘特性 (续)						
安全总功耗	P_S	$T_j = 25\text{ °C}$			1.79	W
污染等级				2		
气候分类				50/105/21		
绝缘耐压	V_{ISO}	$V_{TEST} = V_{ISO}, t = 60\text{ s}$ (合格) $V_{TEST} = 1.2 \times V_{ISO} = 6000\text{ V}_{RMS}, t = 1\text{ s}$ (100%生产测试)		5000		V_{RMS}

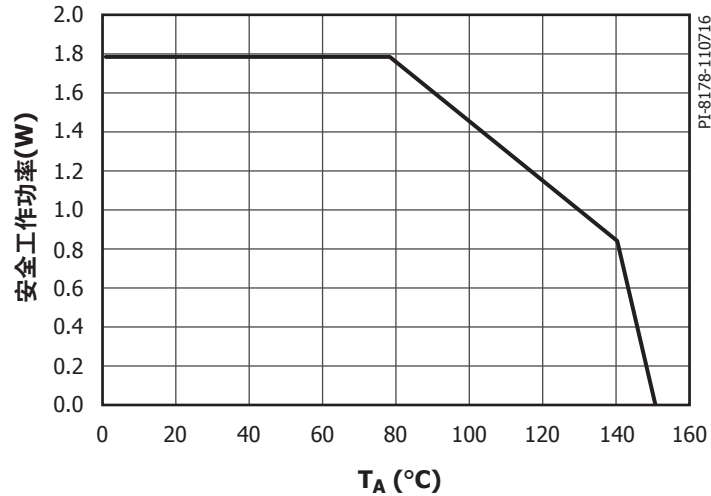


图16. 热降额曲线表明功耗受限于壳体温度(DIN V VDE V 0884-10)

允许器件连续工作直至结温达到 T_J 或壳体温度达到125 °C。热应力超过这些值但低于热降额曲线可能导致永久的产品功能性损坏。芯片高于热SR降额曲线工作可能影响产品的稳定性。

注释:

1. $V_{CC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$; GH和GL管脚短接。 $R_G = 4\ \Omega$, 无门级电容 C_G ; VCC管脚通过一个2 k Ω 电阻连接至SO管脚。VGXX管脚通过一个10 nF电容连接至GH管脚。典型值的定义条件为: $T_J = 25\text{ °C}$; $f_s = 20\text{ kHz}$, 占空比 = 50%。假定电流正方向为流入芯片管脚。
2. 脉冲宽度 $\leq 10\ \mu\text{s}$, 占空比 $\leq 1\%$ 。最大值被ASIC控制到安全水平。无需根据具体应用来限制电流。满足 $R_G \geq 0$ 且功率半导体模块的输入门极电容 $C_{IES} \leq 47\text{ nF}$, 内部峰值功率将被控制在安全范围内。
3. 在分别与电压 V_{TOT} 、 V_{VCC} 和 V_{VEE} 相关的 V_{VCC} 非常缓慢的上电和断电过程中, 可能会产生多个SO故障脉冲。
4. 只要 V_{VCC} 低于最小值, SO管脚就始终连接至GND管脚。没有信号从原方传输至副方。
5. V_{IN} 电位在10 ns内从0 V变为5 V。延迟的测量范围为从IN管脚的电压升高50%到GH管脚的电压升高10%之间。
6. V_{IN} 电位在10 ns内从5 V变为0 V。延迟的测量范围为从IN管脚的电压降低50%到GH管脚的电压降低10%之间。
7. 从 V_{GE} 的10%到90%进行测量 (C_G 模拟半导体门极电容)。 V_{GE} 从 C_G 两端测得。
8. 从 V_{GE} 的90%到10%进行测量 (C_G 模拟半导体门极电容)。 V_{GE} 从 C_G 两端测得。
9. ASSD功能可在指定时间内限制受控半导体的G-E电压。条件: $C_G = 10\text{ nF}$, $V_{TOT} = V_{VISO} = 15\text{ V}$, $V_{VEE} = 0\text{ V}$ (VEE短路至COM)。
10. 将故障事件 (UVLO或DESAT) 从副方传输至SO管脚所需的时间。
11. 原方和副方供电电压 (V_{VCC} 和 V_{TOT}) 达到驱动器正常工作所需的最低水平的的时间。在此期间, 信号不会从原方传输至副方, 并且故障信号也不会从副方传输至原方。
12. 由芯片设计保证。
13. 电流正方向为电流从管脚流出。
14. 安全距离取决于具体应用, 爬电距离和电气间隙要求应遵循具体应用的特定设备隔离标准。电路板设计应确保IC焊盘保持所需的相关安全距离。
15. 根据IEC 61000-4-8 ($f_s = 50\text{ Hz}$ 和60 Hz) 和IEC 61000-4-9标准进行测量。
16. 芯片每一侧的所有管脚连接在一起, 形成一个双端子器件。

典型性能参数

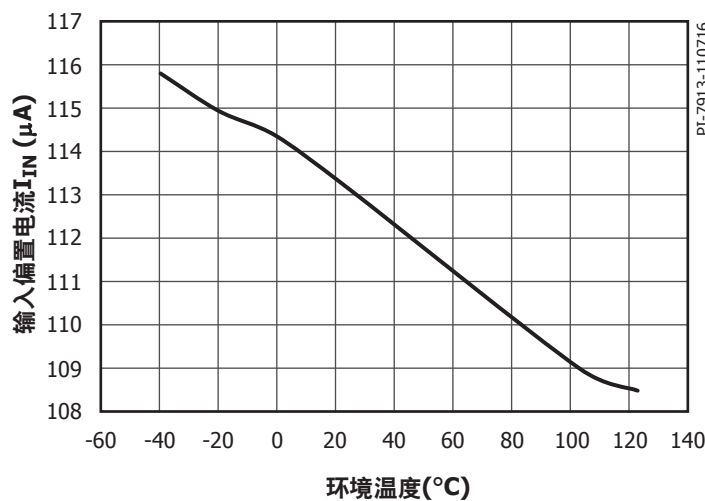


图17. 输入偏置电流与环境温度的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{IN} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$

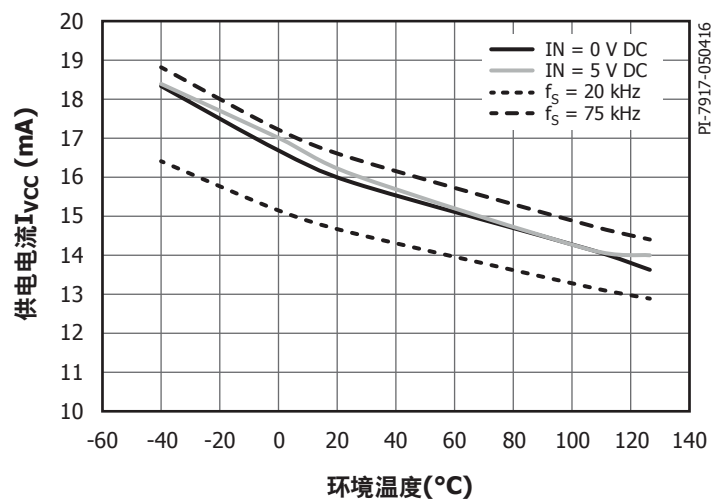


图18. 原方供电电流 I_{VCC} 与环境温度的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$, 空

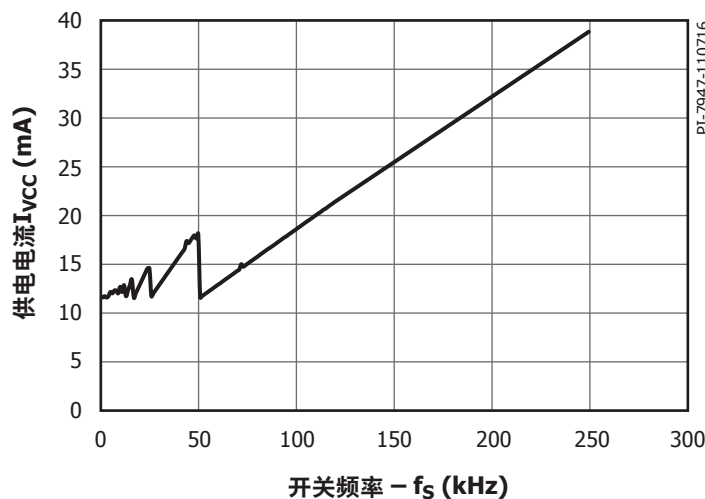


图19. 原方供电电流 I_{VCC} 与开关频率的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$, $T_J = 25\text{ °C}$,
 $0\text{ Hz} \leq f_S \leq 250\text{ kHz}$, 空载

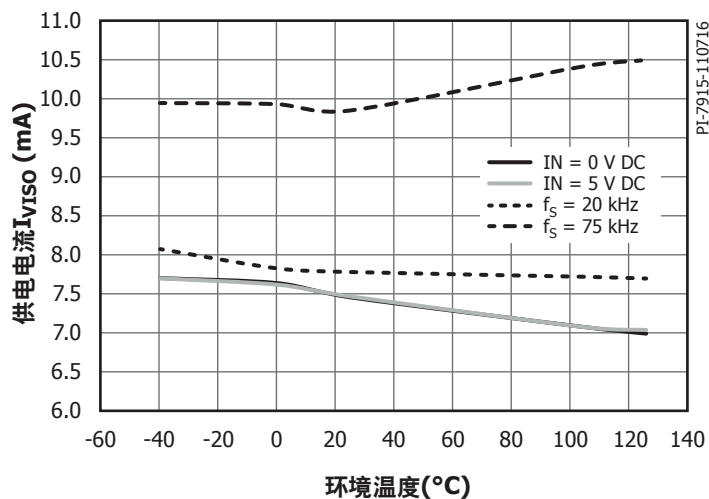


图20. 副方供电电流 I_{VISO} 与环境温度的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$, 空载

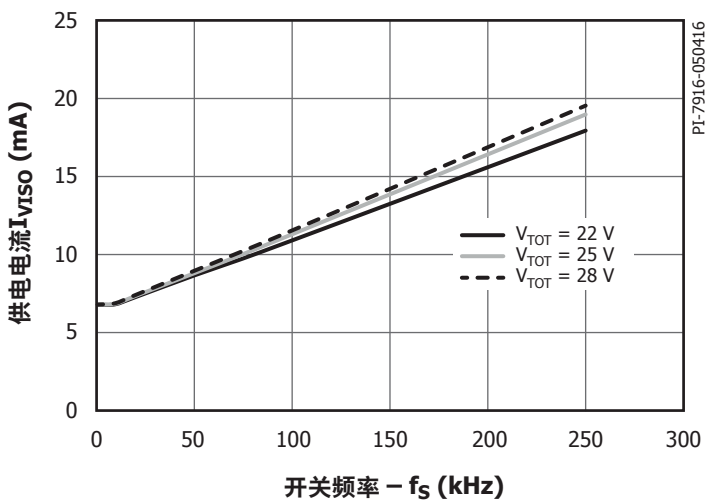


图21. 副方供电电流 I_{VISO} 与开关频率的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$, 空载

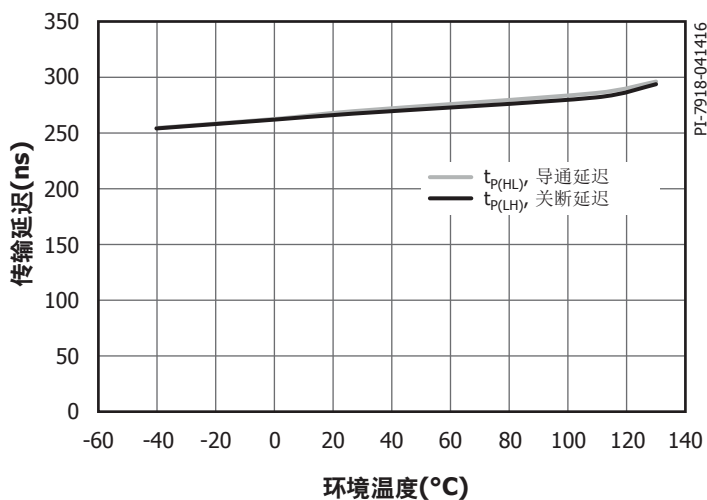


图22. 传输延迟时间与环境温度的关系。
条件: $V_{VCC} = 5\text{ V}$, $V_{TOT} = 25\text{ V}$, $f_S = 20\text{ kHz}$, $C_{LOAD} = 2.2\text{ nF}$

典型性能参数

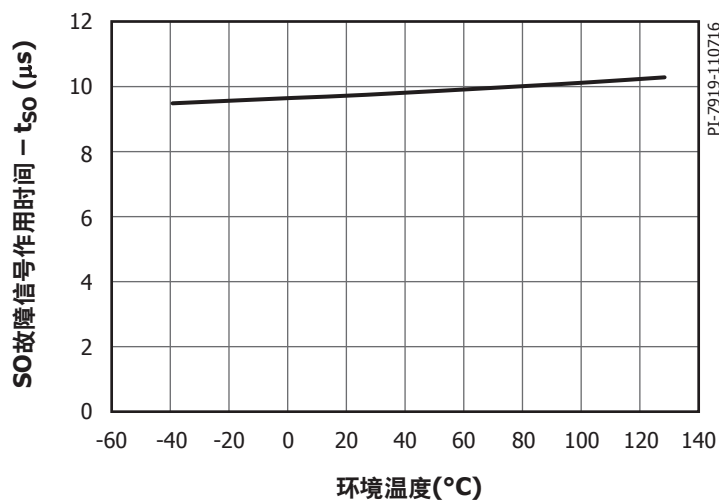


图23. SO故障信号作用时间与环境温度的关系。
条件: $V_{CC} = 5V$, $V_{TOT} = 25V$, $R_{SO} = 4.7k\Omega$

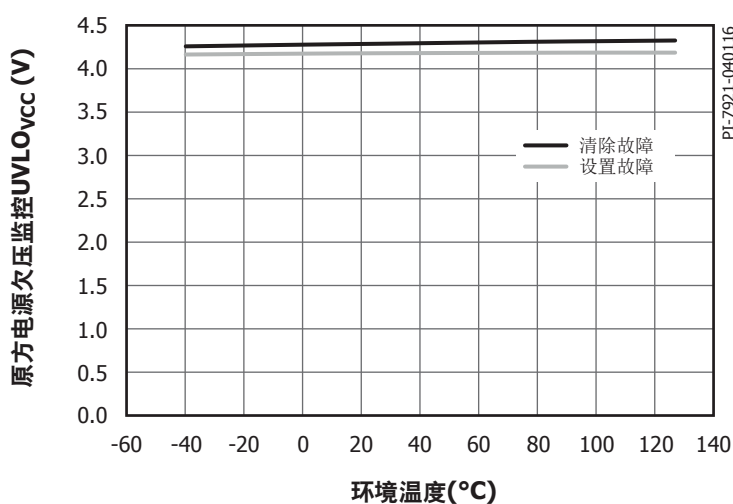


图24. 原方电源欠压监控电压 $UVLO_{VCC}$ 与环境温度的关系。条件: $V_{TOT} = 25V$

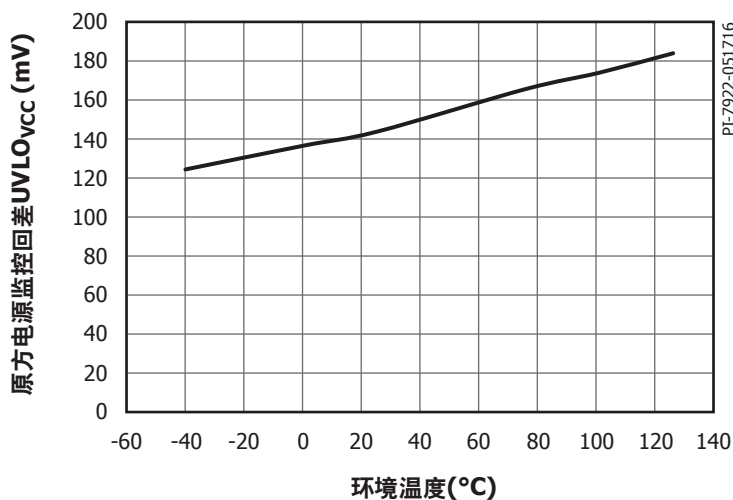


图25. 原方电源监控回差电压 $UVLO_{VCC}$ 与环境温度的关系。条件: $V_{TOT} = 25V$

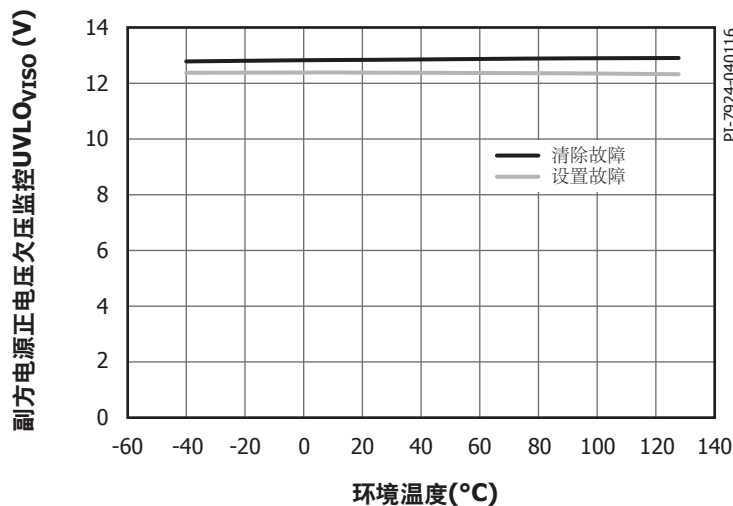


图26. 副方电源正电压欠压监控 $UVLO_{VISO}$ 与环境温度的关系。条件: $V_{CC} = 5V$

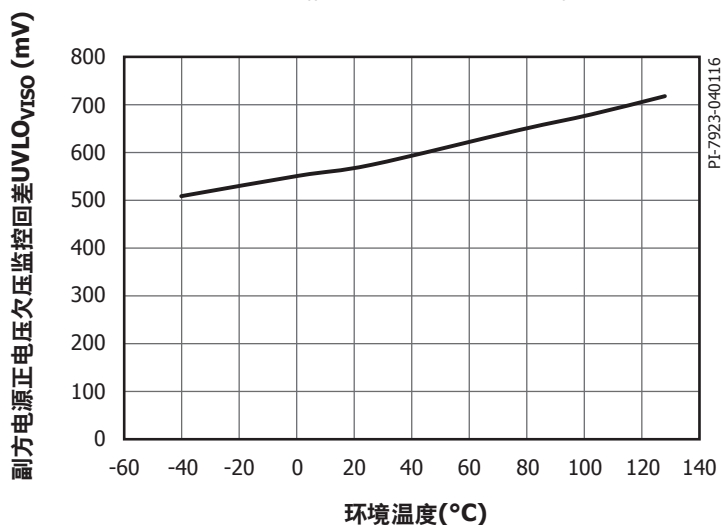


图27. 副方电源正电压欠压监控回差 $UVLO_{VISO}$ 与环境温度的关系。条件: $V_{CC} = 5V$

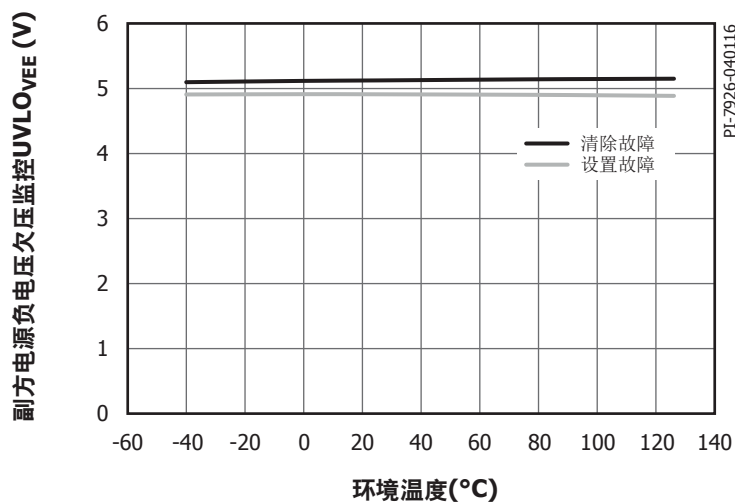
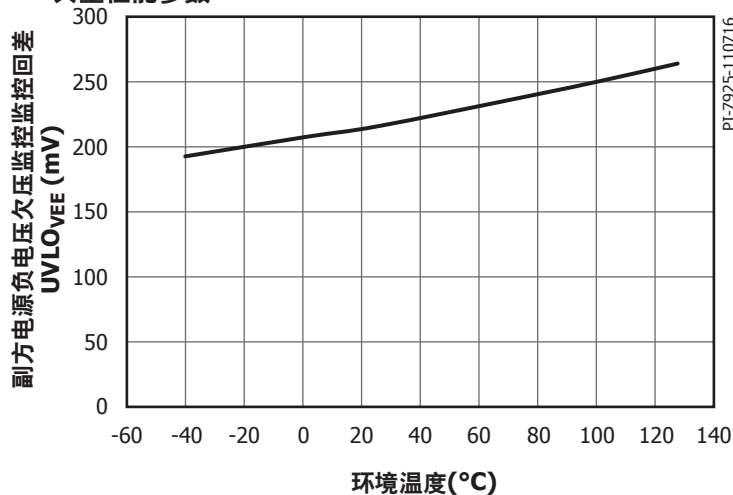
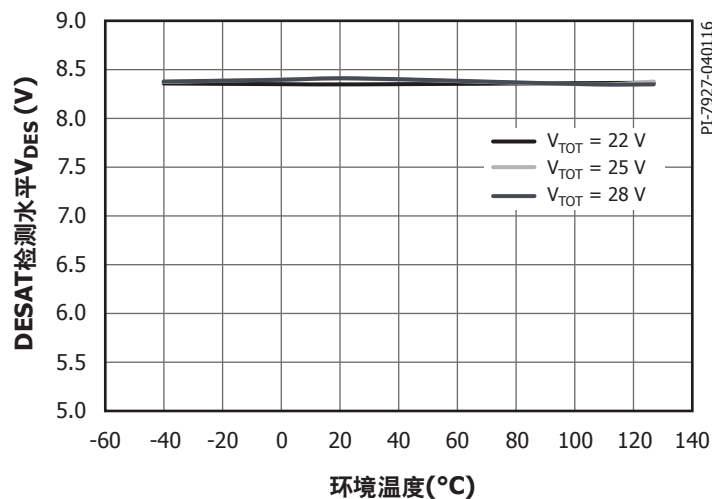
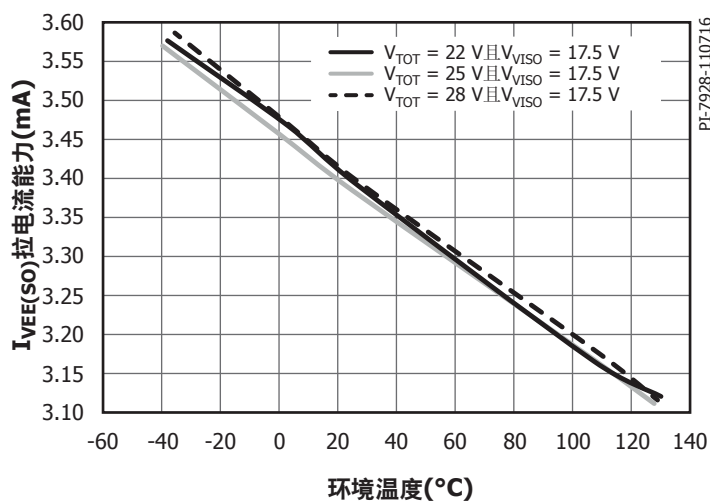
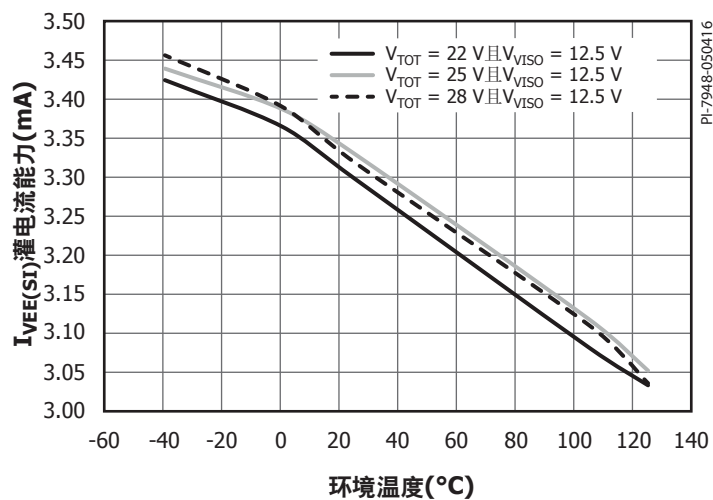
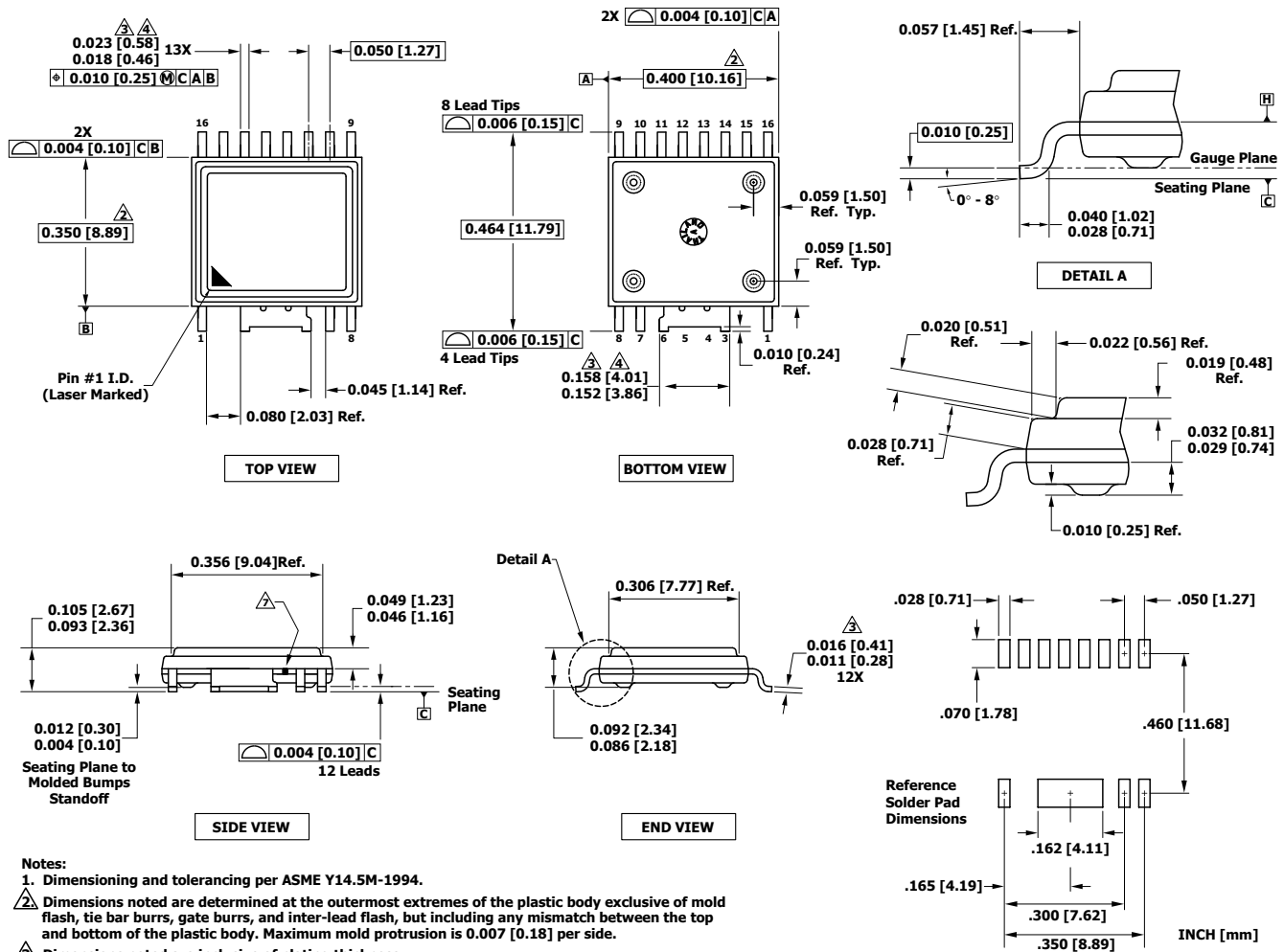


图28. 副方电源负电压欠压监控 $UVLO_{VEE}$ 与环境温度的关系。条件: $V_{CC} = 5V$

典型性能参数

图29. 副方电源负电压欠压监控回差 $UVLO_{VEE}$ 与环境温度的关系。条件: $V_{VCC} = 5\text{ V}$ 图30. 退饱和和检测电平 V_{DES} 与环境温度的关系。条件: $V_{VCC} = 5\text{ V}$ 图31. VEE拉电流能力 $I_{VEE(SO)}$ 与环境温度和 V_{VISO} 的关系。
条件: $V_{VCC} = 5\text{ V}$, $f_s = 20\text{ kHz}$, 占空比 = 50%。图32. VEE灌电流能力 $I_{VEE(SI)}$ 与环境温度和 V_{VISO} 的关系。
条件: $V_{VCC} = 5\text{ V}$, $f_s = 20\text{ kHz}$, 占空比 = 50%。

eSOP-R16B



Notes:

1. Dimensioning and tolerancing per ASME Y14.5M-1994.
2. Dimensions noted are determined at the outermost extremes of the plastic body exclusive of mold flash, tie bar burrs, gate burrs, and inter-lead flash, but including any mismatch between the top and bottom of the plastic body. Maximum mold protrusion is 0.007 [0.18] per side.
3. Dimensions noted are inclusive of plating thickness.
4. Does not include inter-lead flash or protrusions.
5. Controlling dimensions in inches [mm].
6. Datums A and B to be determined in Datum H.
7. Exposed metal at the plastic package body outline/surface between leads 6 and 7, connected internally to wide lead 3/4/5/6.

PI-6995-051716
POD-eSOP-R16B Rev B

MSL信息

元件型号	MSL等级
SID11x2K	3

ESD及门锁信息

测试	条件	结果
125 °C下门锁	JESD78D	$> \pm 100 \text{ mA}$ 或 $> 1.5 \times V_{\text{MAX}}$, 所有管脚
人体模型ESD	JESD22-A114F	$> \pm 2000 \text{ V}$, 所有管脚
充电器件模型ESD	JESD22-C101	$> \pm 500 \text{ V}$, 所有管脚
机器模型ESD	JESD22-A115C	$> \pm 200 \text{ V}$, 所有管脚

IEC 60664-1等级信息

参数	条件	规范
基本绝缘组	材料组	I
等级	额定电源电压 $\leq 150 \text{ V}_{\text{RMS}}$	I - IV
	额定电源电压 $\leq 300 \text{ V}_{\text{RMS}}$	I - IV
	额定电源电压 $\leq 600 \text{ V}_{\text{RMS}}$	I - IV
	额定电源电压 $\leq 1,000 \text{ V}_{\text{RMS}}$	I - III

电气特性(EMI)信息

参数	符号	条件	最小值	典型值	最大值	单位
共模瞬态抗扰性, 逻辑电平高	CM_H	根据图33和图34测得的典型值。 最大值为假定梯形波形时的设计值		-35 / 50	-100 / 100	kV/ μs
共模瞬态抗扰性, 逻辑电平低	CM_L	根据图33和图34测得的典型值。 最大值为假定梯形波形时的设计值		-35 / 50	-100 / 100	kV/ μs
可变磁场抗扰性	H_{HPEAK}	见注释15		1000		A/m
	H_{LPEAK}	见注释15		1000		

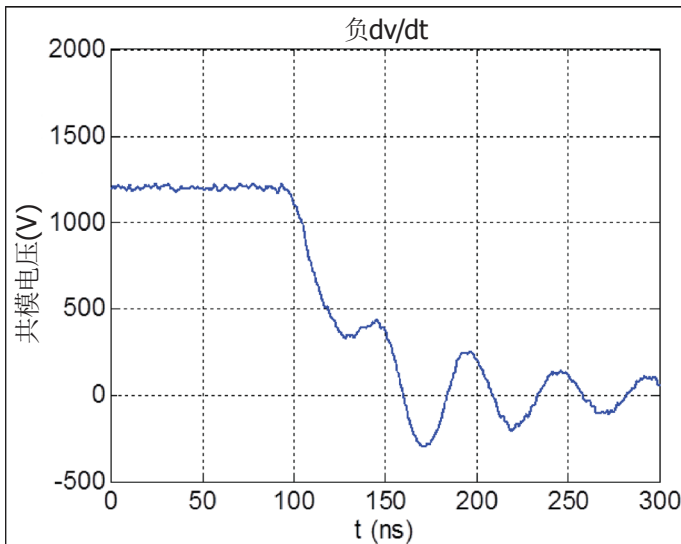


图33. 为生成负dv/dt施加的共模脉冲

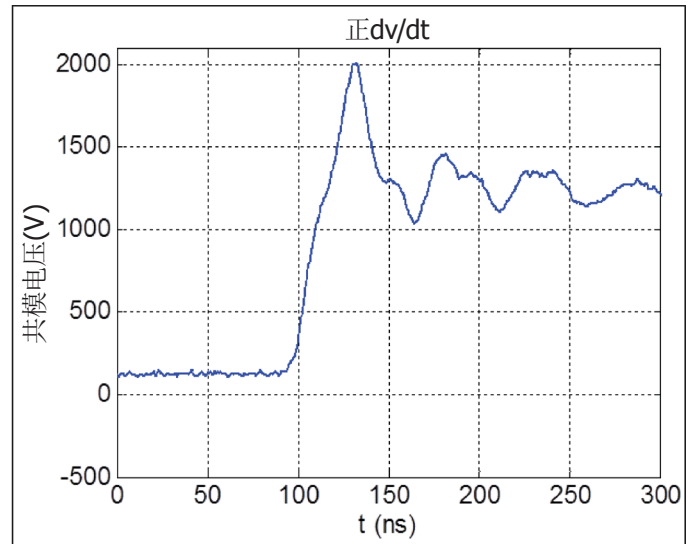
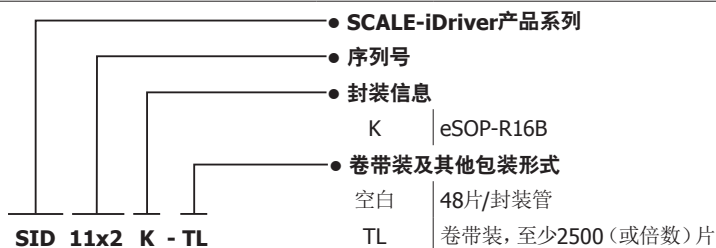


图34. 为生成正dv/dt施加的共模脉冲

监管信息

VDE	UL	CSA
经认证符合DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12	经UR认证符合UL1577元器件认可程序	经UR认证符合CSA元器件允收通知5A
加强绝缘标准: 最大瞬态隔离电压 $8\text{ kV}_{\text{PEAK}}$ 、 最大浪涌隔离电压 $8\text{ kV}_{\text{PEAK}}$ 、最大重复峰值隔离 电压 $1414\text{ V}_{\text{PEAK}}$	单一防护, 耐受 $5000\text{ V}_{\text{RMS}}$ 绝缘电压	单一防护, 耐受 $5000\text{ V}_{\text{RMS}}$ 绝缘电压
文件号5020828-4880-0001	文件E358471	文件E358471

元件订购信息



修订版本	注释	日期
A	代码S。初始版本。	05/16
B	更新了图1。	06/16
C	更新了图1、3、9、10、13和14。 代码A。更新了图3，调换了图9和图10的顺序，修改了第4、6和7页的文字。	08/16
D	更新了 I_{VCC} 、 I_{VISO} 、 t_R 、 t_F 、 t_{FSSD1} 、 I_{GH} 、 I_{GL} 、 $V_{SO(FAULT)}$ 、 $I_{DES(BS)}$ 参数。将“电气特性(EMI)”参数一节移到了第20页并更新了图20。	10/16
E	更新了“绝对最大额定值”表，在第10页的“条件”栏添加了 T_C 并将 T_{AMB} 更改为 T_A 。删除了第11页 $UVLO_{VISO(BL)}$ 的典型值，修改了第12页“条件”栏的 $I_{VEE(SO)}$ 、 $I_{VEE(SI)}$ 、 t_R 和 t_F ，修正了第13页“条件”栏 t_{START} 和 $V_{GH(ON)}$ 的最大值和单位，删除了DTI的典型值，修正了 R_{IO} 的条件值并将第14页“封装绝缘特性”参数下的典型值移到了最大值栏。将第15页 P_S 的典型值移到了最大值栏，添加了注释16并更新了注释1，更新了第16页的图16并将 T_{JOP} 更改为 T_J ，对图17、19、20和23进行了轻微的修改美化，修正了图29中的纵轴标签，更新了图31中的纵轴数值，更新了ESD及闩锁信息”并修正了“监管信息”栏1行2的大写字母。	12/16

有关最新产品信息，请访问：www.power.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.power.com. Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.power.com/ip.htm>.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, SENZero, SCALE-iDriver, Qspeed, PeakSwitch, LYTSwitch, LinkZero, LinkSwitch, InnoSwitch, HiperTFS, HiperPFS, HiperLCS, DPA-Switch, CAPZero, Clampless, EcoSmart, E-Shield, Filterfuse, FluxLink, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2016, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部

5245 Hellyer Avenue
San Jose, CA 95138, USA
Main: +1-408-414-9200
Customer Service:
Phone: +1-408-414-9665
Fax: +1-408-414-9765
e-mail: usasales@power.com

中国 (上海)

徐汇区漕溪北路88号
圣爱广场2410室
上海|中国, 200030
Phone: +86-21-6354-6323
Fax: +86-21-6354-6325
e-mail: chinasales@power.com

中国 (深圳)

南山区科技南八路二号
豪威科技大厦17层
深圳|中国, 518057
Phone: +86-755-8672-8689
Fax: +86-755-8672-8690
e-mail: chinasales@power.com

德国

Lindwurmstrasse 114
80337 Munich
Germany
Phone: +49-895-527-39110
Fax: +49-895-527-39200
e-mail: eurosales@power.com

德国

HellwegForum 1
59469 Ense
Germany
Tel: +49-2938-64-39990
e-mail: igbt-driver.sales@power.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
Fax: +91-80-4113-8023
e-mail: indiasales@power.com

意大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
Phone: +39-024-550-8701
Fax: +39-028-928-6009
e-mail: eurosales@power.com

日本

Kosei Dai-3 Bldg.
2-12-11, Shin-Yokohama,
Kohoku-ku
Yokohama-shi, Kanagawa
222-0033 Japan
Phone: +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@power.com

韩国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
Fax: +82-2-2016-6630
e-mail: koreasales@power.com

新加坡

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
Fax: +65-6358-2015
e-mail: singaporesales@power.com

台湾

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
Phone: +886-2-2659-4570
Fax: +886-2-2659-4550
e-mail: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
Phone: +44 (0) 7823-557484
e-mail: eurosales@power.com
